

⑪ 公開特許公報 (A) 昭61-96598

⑫ Int.CI.

G 11 C 17/00
H 03 K 21/00

識別記号

101

厅内整理番号

6549-5B
6749-5J

⑬ 公開 昭和61年(1986)5月15日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 電気的消去可能なP-ROMのカウントデータ記憶方法

⑮ 特願 昭59-218813

⑯ 出願 昭59(1984)10月17日

⑰ 発明者 羽生 裕 川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑱ 出願人 富士電機株式会社 川崎市川崎区田辺新田1番1号

⑲ 代理人 弁理士 青山 葵 外2名

明細書

1. 発明の名称

電気的消去可能なP-ROMのカウントデータ記憶方法

2. 特許請求の範囲

電気的に書き換え可能な複数桁の記憶素子を有するP-ROMをカウントデータ記憶手段として用いる場合において、カウントデータのうち書き換え頻度の高い桁を分担していた記憶素子の書き換え度数が所定値になったとき、書き換え頻度の低い桁を分担するように、カウントデータの桁と記憶素子の桁とを相対的にローテーションさせることを特徴とする電気的消去可能なP-ROMのカウントデータ記憶方法。

3. 発明の詳細な説明

【記載上の利用分野】

本発明は電気的消去可能なP-ROMを用いたカウントデータ記憶方法に関する。

【従来技術とその問題点】

記憶データを電気的に消去可能なP-ROMで

は、記憶素子のデータを書き換える度に記憶素子のスレッショルド電圧幅が変化する為、最終的には記憶素子は永久に消去されたままになり、データ書き換えの繰返しの回数に限度がある。このP-ROMを電子カウンタのカウントデータ記憶手段として使用した場合、使用頻度の最も高い1の位(10°桁)を制御する素子は一番先に消去限度回数を越え壽命がつくる。これを防ぐ為に、1の位に関しては、予備の記憶素子を用意しておくという方法も考案されるが、この方法では、メモリ領域がその分だけ減少し、P-ROMの持つ機能を有効に生かす事が出来ないという問題があった。

【発明の目的】

本発明は、各記憶素子を使用頻度の異なる各桁間に順次ローテーションさせることにより、各記憶素子を壽命近くまで有効に利用できるP-ROMのカウントデータ記憶方法を提供することを目的とする。

【発明の構成】

本発明の電気的消去可能なP-ROMのカウン

特開昭61-96598(2)

トデータ記憶方法は電気的に書き換える可能な、複数桁の記憶素子を有するP-ROMをカウントデータ記憶手段として用いる場合において、カウントデータのうち書き換え頻度の高い桁を分担していた記憶素子の書き換え度数が所定値になったとき、書き換え頻度の低い桁を分担するように、カウントデータの桁と記憶素子の桁とを相対的にローテーションさせることを特徴とする。

[実施例]

以下に、この発明の1実施例を図面とともに説明する。

第1図において、1はカウントデータ記憶手段としての電気的に書き換える可能なP-ROMであり、 $b_0 \sim b_n$ はカウントデータの各桁の記憶素子を示している。

2はCPUでP-ROM1へのカウントデータの書き込みを制御するとともに、後述するようなP-ROMの記憶桁のローテーションを制御する。

3はローテーションの回数を計数するカウンタで、このカウンタも電気的に書き換える可能なP-R

Mを用いて構成することができる。4はメモリ(RAM)である。

P-ROM1の各素子への書き込み・消去が

$$n \cdot 10^8 + \alpha \text{回} \quad (n, \alpha \text{は自然数}, \alpha < 10^8)$$

で不能となる場合(例えば12万回で不能となる場合、 $n = 1, \alpha = 5, \alpha = 20000$ である。

について、以下第2図と第3図を参照して本発明をさらに詳細に説明する。

ステップS1では初期化としてP-ROM1の各桁 $b_0 \sim b_n$ をすべて0にリセットする。

ステップS2でP-ROM1はCPU2から印加される信号によってカウント動作を始め、カウントアップする。

なお、この実施例においては、P-ROM1の使用開始直後は図上右端の素子 b_n が、カウントデータの1の位(10^0 桁)、以後左へ順に b_1, b_2, \dots が $10^1, 10^2, \dots$ の位($10^1, 10^2, \dots$ 桁)をそれぞれ記憶するものとする。

ステップS3では 10^8 桁、この実施例では b_n のデータが n の整数倍になったかどうか(変化し

た時点)をCPU2が判断する。

例えば、P-ROM1の各素子への書き込み・消去が12万回で限度とされる場合には12万回 = $1 \cdot 10^8 + 2000$ 回なので $n = 1$ に設定しておく、こうしておく事で、 10^0 桁目すなわち1桁目が $n \times 10^8$ 回動作したかどうかを検知する。

ここで、 10^0 桁のデータが n の整数倍(カウントデータ = $n \times 10^8$)であれば、即ち素子 b_n が「1」になるとステップS4に進み、P-ROM1の各桁を左へ1桁分だけローテーションする。

第3図にローテーションの例を示す。

即ち、P-ROM1の素子 b_n が0から1に変わったことをCPU2が検出すると、P-ROM1の素子 b_n が 10^0 の桁、 b_1 は 10^1 の桁、素子 b_2 は 10^2 の桁というように各素子が記憶するデータの桁のローテーションが行われる。

即ち 10^0 桁を記憶する素子 b_n の書き換えが消去不能となる回数近くなったり(第2図の例では12万回の書き換えで致命となる素子を使用する場合には10万回で他の素子に代替される。)

を検知し、使用頻度の少ない素子 b_n を使用頻度の多い 10^0 桁目を記憶させる事にある。

このとき、限界近くまで使用された 10^0 桁目を記憶していた素子 b_n は最も使用頻度の少ない最上位(10^8 桁)を記憶する様にする。

ステップS5では、上述のローテーション1回行なう毎にカウンタ3が1ずつカウントし、ステップS6でP-ROM1をクリアし、ステップS5でのカウンタ3のカウント値に $n \times 10^8$ (この実施例では 1×10^8)を乗じその結果をステップS7にて、いったんメモリ4へ格納する。

そしてステップS8ではその演算結果(即ち、現在のカウントデータ)をP-ROM1に(記憶)表示する。その後はステップS2に戻り、再びカウントアップを始める。このときは素子 b_n が 10^0 桁を分担する。

尚、ステップS8において、カウントデータ(P-ROM1の記憶内容)は、1回目で $n \times 10^8$ 、2回目では $2n \times 10^8$ 、3回目では $3n \times 10^8$ となる。

この発明では各桁を記憶する素子を、書き込み・消去が不能となる回数のある程度以下で使用する事が前提となっている。

このある程度以下を表すものが、最初に述べた $a \cdot 10^n + \alpha$ の α である。例えば 6 桁のカウンタで 1 桁目が 10^6 回動作したらローテーションするようにしたとする。

この時、ローテーションを 5 回すなわち、各桁を記憶する素子を均等に使用した場合、その素子の書き込み・消去回数は $10^6 + 10^5 + 10^4 + 10^3 + 10^2 + 10^1 + 10^0 = 1111111$ 回となる。すなわち、この方法(1 桁目が 10^6 回動作したらローテーションする方法)は、P-ROM の書き込み消去回数が 1111111 回以上の物($\alpha > 1111111 = 1111111 - 1000000$)でなければならない。

この故に、 α 値の設定には制約がある。

P-ROMへの書き込み・消去限度を X 回とするとき X は、次式(1)で表わす事ができる。

$$X = n \cdot 10^n + \alpha \quad (n, \alpha \text{ は自然数}, \alpha < 10^n)$$

… (1)

ここで、 10^n 桁のデータが n になったら各桁をローテーションするソフトウェアに於いて、 n 回ローテーションした結果各素子への書き込み・消去は、次式(2)で表わされる回数分行われた事になる。

$$\text{書き込み消去回数 } N = \alpha \times (10^{n-1} + 10^{n-2} + \dots + 10^0) \text{ 回} \quad \dots (2)$$

各桁をローテーションする前に素子がグランしてしまわない為には、P-ROMへの書き込み・消去限度回数 X は、実際の書き込み・消去回数 N より大きくなければならない。

$$\therefore X - N > 0 \quad \dots (3)$$

(1), (2), (3)式より

$$\alpha > n(10^{n-1} + 10^{n-2} + \dots + 10^0) \dots (4)$$

α の値は上式(4)を満たす必要があり、上式を満足できないときは n の値を変えればよい。

上記の方法によれば各素子の使用頻度の均一化を計ることができる。

【発明の効果】

本発明によれば、P-ROM の素子への書き込み限度回数を設定する事でカウントデータの各桁を記憶する各素子について、ある素子が書き込み限度に達すると、ローテーションをして、過去において書き換え頻度の低かった素子には、書き換え頻度の高い桁を分担させ、逆に過去において書き換え頻度の高かった素子には、書き換え頻度の低い桁を分担させることにより、上記のローテーションを桁数分だけ行なってカウントデータを記憶することができる。P-ROM の各素子を均一に動作させてより多くの数をカウントする事ができ、非常に効率的である。

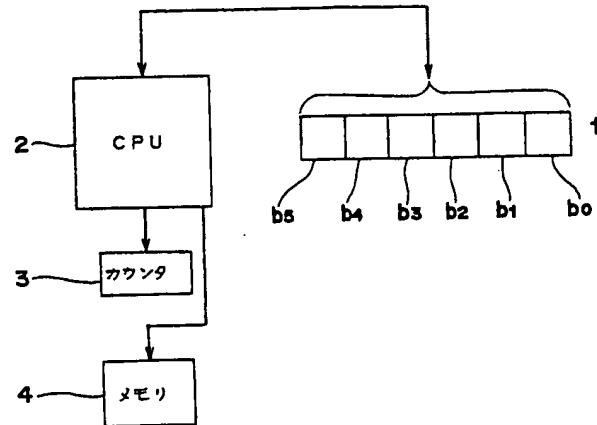
4. 図面の簡単な説明

第1図は本発明の1実施例を示すブロック図、第2図は第1図の実施例の動作を示すフローチャート図、第3図は第2図における動作を示す図である。

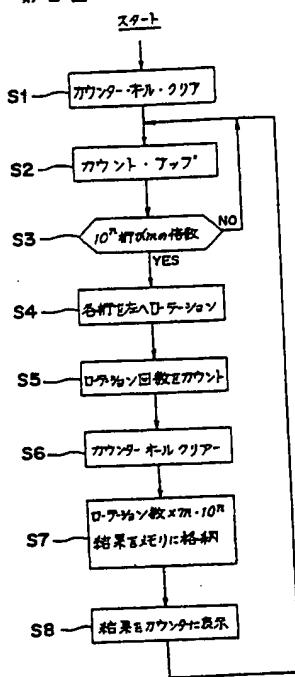
1 … P-ROM, 2 … CPU,

3 … ローテーションカウンタ, 4 … メモリ。

第1図



第2図



第3図

